

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61147551
PUBLICATION DATE : 05-07-86

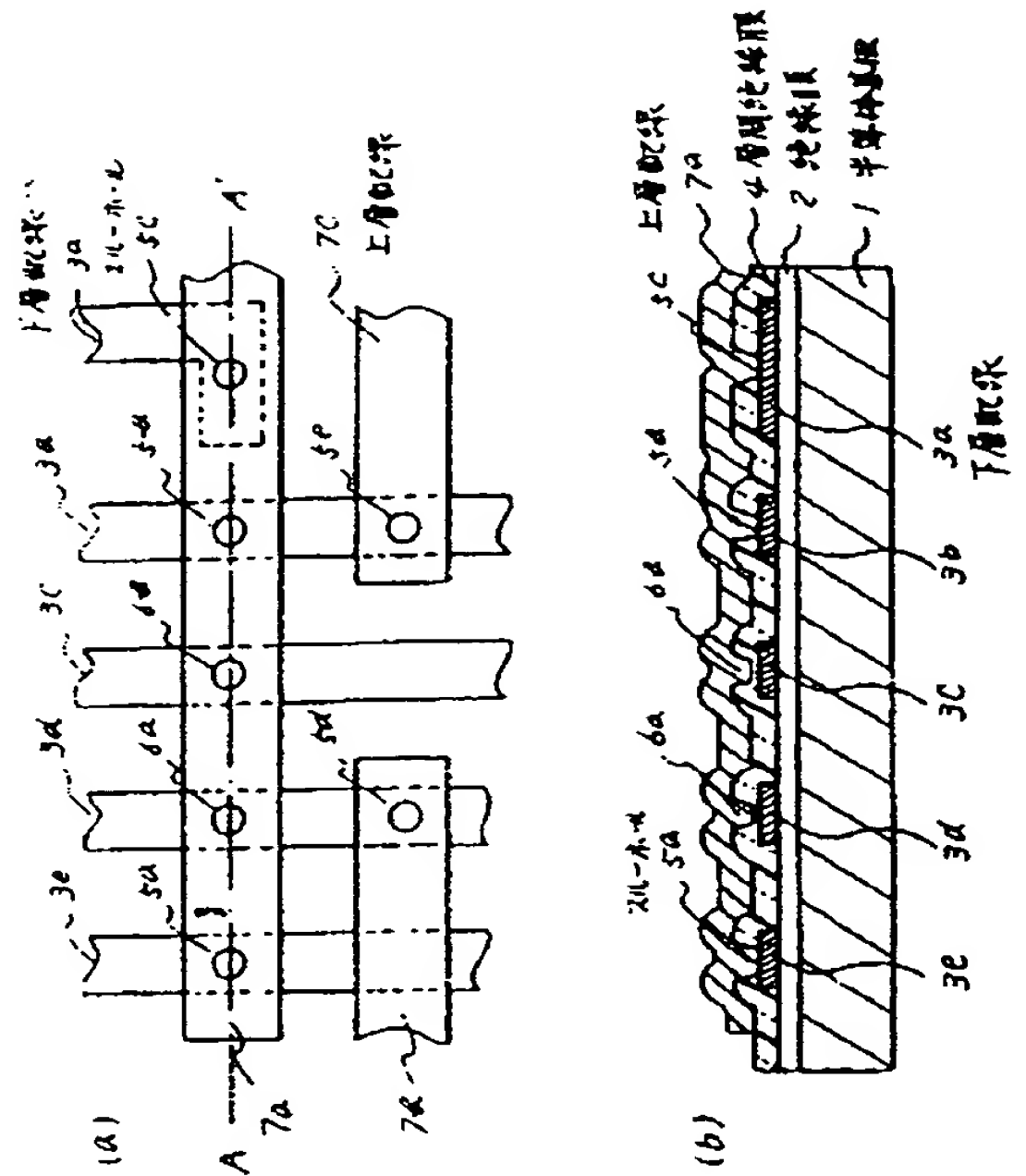
APPLICATION DATE : 21-12-84
APPLICATION NUMBER : 59269910

APPLICANT : NEC CORP;

INVENTOR : KANO ISAO;

INT.CL. : H01L 21/88

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To prevent the imitation and copying of a wiring pattern by a method wherein false through holes, with which no electric connection is performed, is provided in a multilayer wiring structure.

CONSTITUTION: A plurality of false through holes 6a and 6b, of almost same apparent size as through holes 5a~5e, with which the lower layer wirings 3a~3e and the upper layer wirings 7a~7c are not electrically connected, are formed. As result, the wirings 3a, 3b, 3c, 3d and 3e are looked like as if they are connected to the wirings 7a via the through holes 5a, 5b, 5c, 6a and 6b by a third person who has no circuit diagram. As a result, the wiring pattern can be prevented from imitation and copying.

COPYRIGHT: (C)1986,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-147551

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)7月5日

H 01 L 21/88

6708-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-269910

⑰ 出 願 昭59(1984)12月21日

⑱ 発 明 者 鹿 野 功 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1 発明の名称

半導体装置

2 特許請求の範囲

多層配線構造を有する半導体装置において、下層配線と上層配線間の層間絶縁膜に下層配線と上層配線を電気的に接続するスルーホールを有し、かつ前記スルーホールと見かけの寸法はほぼ同等で下層配線と上層配線とを電気的に接続しない複数の擬似スルーホールを有することを特徴とする半導体装置。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に関し、特に配線パターンの模倣、コピーを防止するための配線層間絶縁膜に開孔するスルーホールに関するものである。

〔従来の技術〕

従来、多層配線構造を有する半導体装置は、例えば第2図(a)、(b)の構造を有している。すなわち、第2図(a)、(b)に示すように、半導体基板21の上に設けられた絶縁膜22上に下層配線23a~23cが形成されその上に層間絶縁膜24が形成され、前記層間絶縁膜24には、下層配線と上層配線を電気的に接続するスルーホール25a~25cが形成され、その上に上層配線27a~27cが形成される。第2図(b)は従来例の平面図であり、第2図(a)は、第2図(b)のA-A'間の断面図である。

〔発明が解決しようとする問題点〕

従来の多層配線構造では、平面図の第2図(b)を見れば回路図を持っていない第三者でも、23cの配線と23bの配線、23aの配線が、それぞれスルーホール25a、25b、25cを介して上層配線27aに電気的に接続していることがわかる。即ち第三者でも半導体基板の平面写真あるいは平面図が手に入ることでより、あるいは顕微鏡により上から観察することにより従来技術では多層配線において、層間絶縁膜に下層配線と上層

配線間のスルーホールが電気的に接続されていることが確実であるため、他業者は順次上層パターンから下層パターンまた下層パターンから上層パターンへスルーホールを通して配線を追ってゆけば、その製品の回路パターンを解説することが比較的容易にできる。

一方、半導体装置の高集積化が進むにつれ開発工数、開発費は著しく増大しつつある。ところが競合他業者は、開発された半導体装置の配線パターン、及び回路を上記したように解説し、複製することによりわずかの費用・工数で同等の製品を開発できるという問題が生じてきた。

本発明は上記問題点に対処してなされたもので、多層配線構造の配線パターンの解説、模倣、コピーを防止することができる半導体装置を提供することを目的とする。

(問題点を解決するための手段)

本発明の半導体装置は、多層配線構造を有する半導体装置において、下層配線と上層配線を接続するスルーホールを有し、かつ前記スルーホール

5cの孔を通じて7aの上層配線に接続しているように見える。しかしながら実際には3e, 3b, 3aの配線が、それぞれ5a, 5b, 5cのスルーホールを介して7aの上層配線に接続しているだけで他の3d, 3cの配線は7aとは、電気的に接続されていないのである。

従って、第3者が本半導体装置の回路図を解説することは、技術的に困難であり、解説し得るとしても従来例の半導体装置の回路図を知り得るに要する時間とコストの何倍もの時間とコストを要することゝ考えられ、特に集積回路の大規模化に伴うその効果は大きくなる。すなわち、半導体装置の配線パターン及び回路模倣の防止に役立つものである。

(発明の効果)

以上説明したように、本発明は多層配線構造において電気的接続を行わない擬似スルーホールを設けることにより、配線パターンの模倣、コピーを防止することができ集積回路装置の開発者の保護をすることができる。

と見かけの寸法は径同等で下層配線と上層配線とを電気的に接続しない複数の擬似スルーホールを有することにより構成される。

(実施例)

次に、本発明の実施例について、図面を参照して説明する。第1図(a), (b)は本発明の一実施例の平面図およびA-A'間の断面図である。

第1図(a), (b)において、半導体基板1の上に設けられた絶縁膜2の上で下層配線3a~3eが形成され、その上に層間絶縁膜4が形成され、層間絶縁膜4には下層配線と上層配線を電気的に接続するスルーホール5a~5eが形成されると共に、スルーホール5a~5eと見かけの寸法は径同等で、下層配線と上層配線を電気的に接続しない複数の擬似スルーホール6a, 6bが形成され、さらにその上に上層配線7a~7cが形成されている。

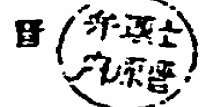
今、第1図(a)の平面図を見るとき、回路図を持っていない第3者には3e, 3d, 3c, 3b, 3aの配線がそれぞれ5a, 6a, 6b, 5b,

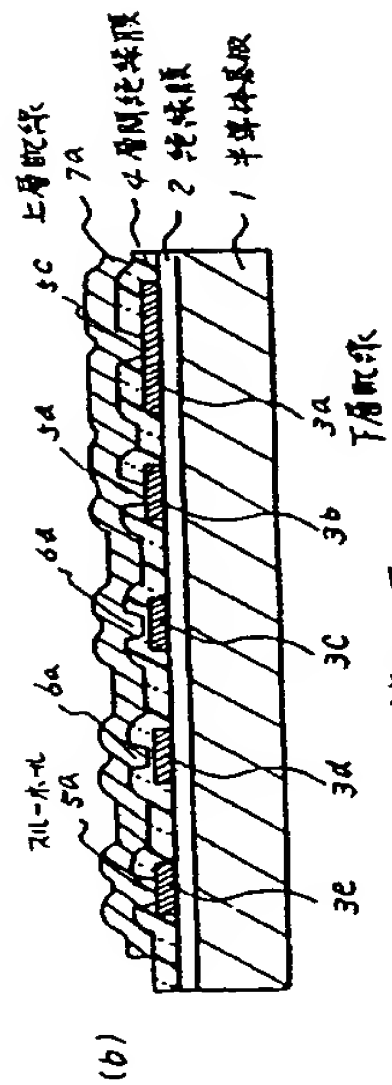
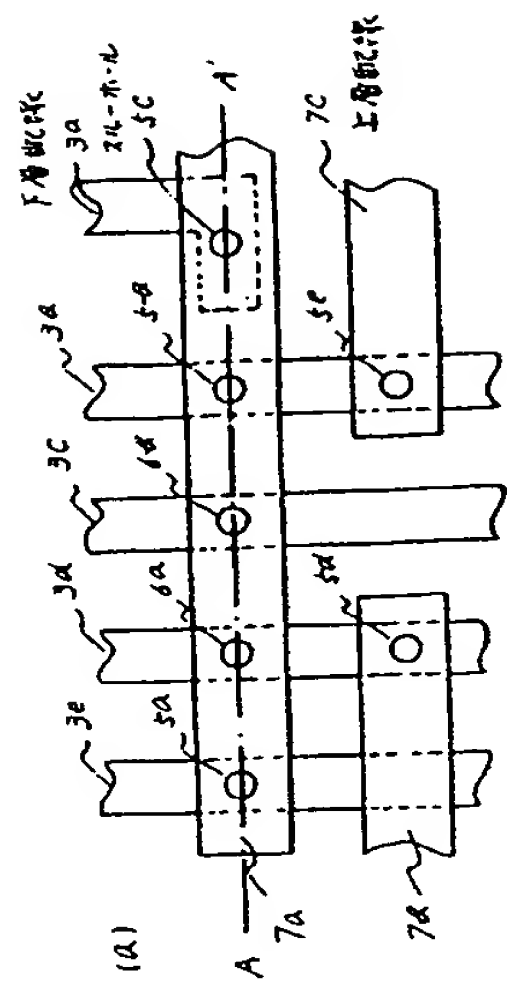
4. 図面の簡単な説明

第1図(a), (b)は本発明の一実施例の平面図およびA-A'線に於ける断面図、第2図(a), (b)は従来構造の多層配線を有する半導体装置の一例の平面図及びそのA-A'線に於ける断面図である。

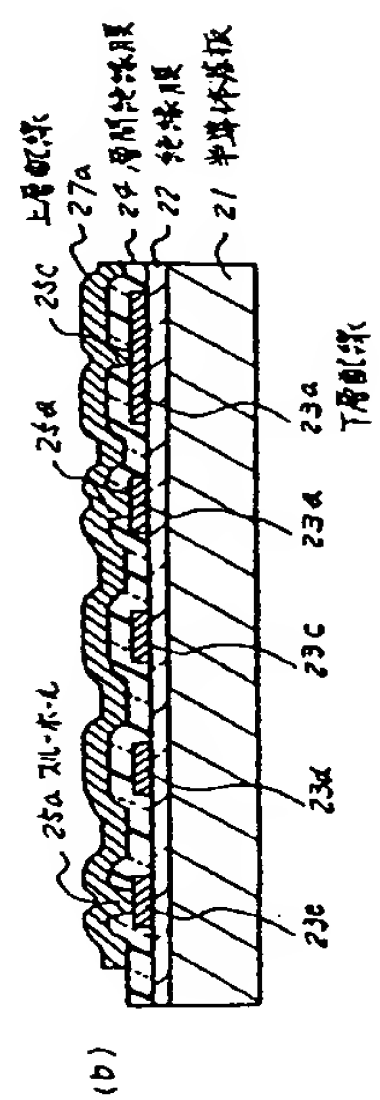
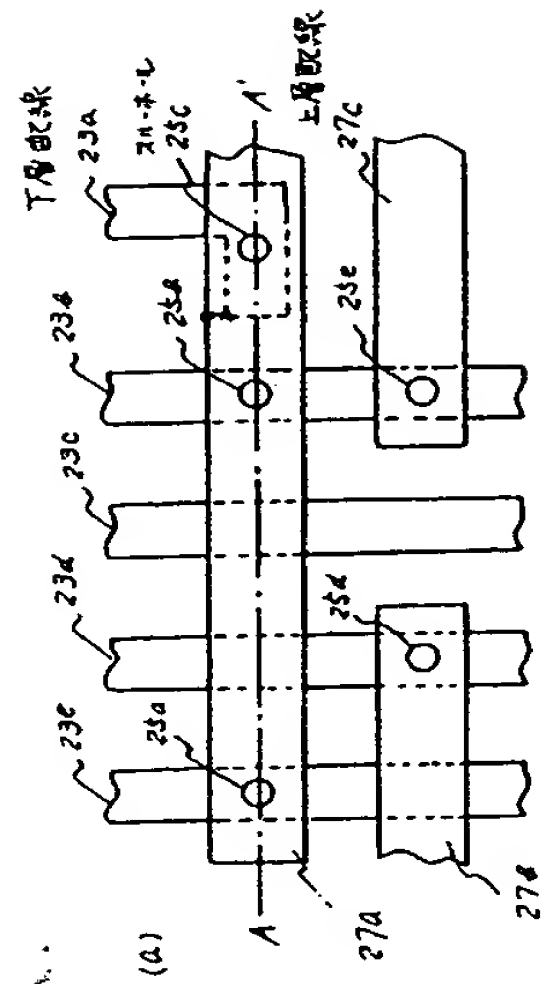
1, 21……半導体基板、2, 22……絶縁膜、3a, 3b, 3c, 3d, 3e, 23a, 23b, 23c, 23d, 23e……下層配線、4, 24……層間絶縁膜、5a, 5b, 5c, 5d, 5e, 25a, 25b, 25c, 25d, 25e……スルーホール、6a, 6b……擬似スルーホール、7a, 7b, 7c, 27a, 27b, 27c……上層配線。

代理人 弁理士 内 原





第1図



第2図

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)